

计算机组成原理

Homework 3

Made by TA

2023 年 3 月 20 日

注意：

1. 本次作业提交 DDL 为 4.5 下午 2:00 之前，与第四周作业一起提交。超过该时间的提交会被扣除一定的作业分数。
2. 不加特殊说明的情况下，所有的寄存器、地址均为 32 位宽度的。以下题目均在 **RV32I** 指令集中讨论。

题目 1. 假设寄存器 t_0 中初始状态下保存的值为 $0x00002023$ 。请回答下面的问题：

1. 对于指令 `sub t2, t0, t1`，导致结果溢出的 $t1$ 的值的范围？
2. 假设 PC（程序计数器）当前值为 $0x0D000000$ ，则 `jal` 指令可以到达的地址范围是多少？如果是 `blt` 呢？

提示: `jal` 和 `blt` 的跳转是连续的吗？

题目 2. 本题目中所述的 `int` 整型变量都是 32 位的。

1. 将 $-a * 2 - (b + c) - (d + b + c) + 200$ 转换为 **RV32I** 指令（ a, b, c, d 均为 `int` 整型数值，且已经分别保留在寄存器 t_0, t_1, t_2, t_3 中。不考虑溢出问题）。请尝试使用尽可能少的寄存器和尽可能少的指令。
2. 将 $A[2 * j] = B[i - 8]$ 转换为 **RV32I** 指令，其中 A, B 为 `int` 整型数组。它们的基址分别保存在寄存器 a_0, a_1 中。 i, j 均为 `int` 整型变量，且已保存在寄存器 t_0, t_1 中（不

考虑溢出以及非法访问问题，所有数据都已经四字节对齐)。

尽可能为你的指令添加注释，使得助教能够更好的理解你的代码。

题目 3. 我们知道 RISC-V 存储是小端序的，即低地址存储低位，高地址存储高位。阅读如下代码：

```
lb t1, 1(t0);  
sw t1, 4(t0);
```

初始条件下，t0 的内容为 0x2023, 地址 0x2023 的内容为 0x20881124。请问：

1. 该代码执行后，地址 0x2030 的内容是什么？
2. 如果 RISC-V 是大端序存储的，那么该代码执行后，地址 0x2030 的内容是什么？

题目 4. 现在我们需要使用 RV32I 指令求解斐波那契数列的前 n 项，其中 n 为 int 整型变量，保存在内存地址 place 中。斐波那契数列的第一项和第二项分别保存在内存地址 first 和 second 中。请根据以上信息编写 RV32I 指令，将从第一项开始的结果依次保存在从内存地址 save 开始的连续内存中。

提示: 你可以使用 la t0, place 指令将 place 的地址保存在寄存器 t0 中（事实上 RISC-V 并没有这条指令。la 是一个伪指令，它可以实现为 auipc, addi 的组合）。

实验题 1. lab0 中的实验题。